

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

I) Int. Cl.  
H1L 21/28  
H1L 21/3205

(11) 공개번호  
(43) 공개일자

특1999-0036704  
1999년05월25일

1) 출원번호 10-1998-0040528  
2) 출원일자 1998년08월29일  
3) 우선권주장 97-274710 1997년10월07일 일본(JP)  
4) 출원인 닛폰덴키 가부시끼가이샤, 가네코 히사시  
일본  
000-000  
일본 도요코도 미나토쿠 시바 5초메 7방 1고  
5) 발명자 이노우에 겐  
일본  
일본 도요코도 미나토쿠 시바 5초메 7방 1고 닛폰덴키 가부시끼가이샤 나미  
6) 대리인 박혜선  
조영원  
7) 심사결과 있음  
8) 출원명 상 전이를 사용한 반도체 장치 제조 방법

각

포제 장치 제조에서, 제 1 상 구조를 갖는 내열성 금속 실리콘사이드 층이 형성된다. 이 경우에, 제 1 상 구조를 갖는 내열성 금속 실리콘사이드 층 반도체 기판이 가해지는 상태에서, 내열성 금속의 증착 작업을 수행하는 동안 형성될 수도 있다. 대신에, 내열성 금속막이 전공 상태에서 형성되고, 그후 내열성 금속막을 제 1 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층으로 변화시키기 위해 반도체 기판이 전공 상태에서 처리될 수도 있다. 제 1 상 구조를 갖는 내열성 금속 실리콘사이드 층이 형성된후, 열 처리가 수행되어 상기 제 1 상 구조를 갖는 상기 내열성 : 실리콘사이드 층을 제 2 상 구조를 갖는 내열성 금속 실리콘사이드 층으로 변화시킨다.

표도

3

내서

회의 간략한 설명

1 은 제 1 종례에서 실리콘사이드 층을 갖는 반도체 장치를 형성 공정 순으로 나타낸 단면도.

2 는 제 2 종례에서 실리콘사이드 층을 갖는 반도체 장치의 형성 공정 순으로 나타낸 단면도.

3 은 본 발명의 제 1 실시예에 따라 실리콘사이드 층을 형성하는 방법에서 실리콘사이드 층을 갖는 반도체 장치의 형성 공정 순으로 나타낸 단면!

4 는 본 발명의 제 2 실시예에 따라 실리콘사이드 층을 형성하는 방법에서 실리콘사이드 층을 갖는 반도체 장치를 형성 공정 순으로 나타낸 단면!

5 는 실리콘사이드 층이 본 발명의 제 2 실시예에 따라 실리콘사이드 층을 형성하는 방법으로 형성될 때 시이드 저항의 변화 및 평균 누설 전류 오차 밀도 및 형성 속도의 관계를 나타낸 그래프.

6 은 본 발명의 제 3 실시예에 따라 실리콘사이드 층을 형성하는 방법에서 실리콘사이드 층을 갖는 MOS 트랜지스터의 형성 공정 순으로 나타낸 단.

7 은 상기 제 3 실시예의 효과를 나타낸 그래프.

본 발명의 주요부분에 대한 부호의 설명

실리콘 기판

소자 분리 절연막

확산층

배리어막

코발트막

Co<sub>2</sub>Si 막

CoSi 막

**CoSi<sub>2</sub> 막****막의 상세한 설명****막의 목적**

발명이 속하는 기술 및 그 분야의 종래기술

발명은 반도체 장치 제조 방법에 관한 것으로, 특히 전압 게이트형 전계 효과 트랜지스터 (MOS 트랜지스터)의 소오스 또는 드레인 확산층 형성 또는 게이트 전극의 표면상에 실리콘사이드 층을 형성하는 방법에 관한 것이다.

네덜란드 피터 크기 및 높은 임도율을 갖는 반도체 장치의 개발은 여전히 다이나믹하게 수행된다. 현재, 메모리 장치 및 고집적 디바이스와 같은 소자와 반도체 장치는 0.15 미터 0.25  $\mu\text{m}$ 의 설계 규칙에 기초하여 개발되어 왔다. 반도체 장치의 고집적화도, 게이트 전극 폭 및 확산층 폭을 줄이는 것과 각각의 반도체 장치의 구성 성분의 막 두께를 감소하는 것이 매우 중요하게 된다.

농도가 낮은 전압을 갖도록 형성될 때, MOS 트랜지스터의 기생 저항이 증가하여 MOS 트랜지스터의 구동 능력을 감소시킨다. 또한, 게이트 전극의 막 두께의 감소 또는 배선 폭의 감소는 필연적으로 배선 저항을 증가시켜 회로 동작의 지연에 크게 영향을 준다.

각서, 미세한 패턴을 갖는 반도체 장치에서, 확산층의 표면상에 또는 게이트 전극의 표면상에 고용질 또는 내열성 금속 실리콘사이드를 형성하는 것이 중요하다. 특히, 실리콘사이드 층 형성 기술 또는 실리콘사이드 층 형성 기술에서, 코발트와 같은 고용질 금속이 미세한 패턴을 갖는 트랜지스터에 필수적으로 된다. 이 경우에, 실리콘사이드 층의 저항값을 일정하게 유지하는 것이 어렵기 때문에, 각각의 방법이 연구되고 검증된다. 더욱이, 코발트 실리콘사이드 층을 형성하는 경우에, 실리콘과 코발트의 반응속을 제어하는 것이 특히 어렵다.

박막 실리콘사이드 층을 형성하는 종래 방법을 일본국 특개평 (JP-A-Hokai 2-45923 : 미하, 제 1 종래예라고 함)에 설명되어 있다. 또는, 미국 특개평 (JP-A-Hokai 7-86559 : 미하, 제 2 종래예라고 함)에 설명된 방법이 알려져 있다.

1을 참조하여 제 1 종래예를 설명한다. 도 1은 코발트의 실리콘사이드 형성 공정을 나타낸다.

1의 (a)에서 나타난 바와 같이, N형 (102)을 증착된 방법에 의해 P형 실리콘 기판 (101)에 형성된다. 계속해서, 필드 산화막 (103)을 선택적인 산화 방법에 의해 P형 실리콘 기판 (101)의 표면상에 형성된다. 실리콘 산화막 및 폴리실리콘막과 같은 게이트 산화막 (104)은 필드 산화막 (103)에 의해 둘러싸인 활성 영역에 차례로 형성된다. 불순물로서 인 이온은 증착된 기술에 의해 폴리실리콘막에 도핑된다. 따라서 폴리실리콘막의 저항값은 감소된다.

다음으로, 상술한 폴리실리콘막을 증착된 포토리소그래피 및 건식 에칭법에 의해 패터닝되어 게이트 전극 (105)이 형성된다. 그후, 저농도 N형 불순물 확산층 (107) 및 저농도의 P형 불순물 확산층 (108)이 포토리소그래피 및 이온 주입법에 의해 형성된다. 계속해서, 실리콘 산화막 또는 실리콘 질화막으로 이루어진 속박 스페이서 (106)는 증착된 화학 기상 증착법 (CVD) 및 건식 에칭법을 사용하여 게이트 전극 (105)의 측면상에 형성된다.

다음으로, 도 1의 (b)에 나타난 바와 같이, 고농도의 P형 불순물 확산층 및 고농도의 N형 불순물 확산층은 포토리소그래피 및 이온 주입법에 의해 형성된다. 따라서, N형 소오스 및 드레인 확산층 (109)과 P형 소오스 및 드레인 확산층 (110)이 LDD (Lightly Doped Drain) 구조를 갖도록 형성된다. 계속해서, 게이트 전극으로서의 폴리실리콘막의 표면상에 그리고 실리콘 기판의 표면상에 자택 산화막 (도시하지 않음)을 증착하고 코발트막 (111)은 실리콘 기판을 가열하지 않고 스퍼터링된다. 그후, 실리콘 기판은 실리콘 기판의 표면을 대기압 노출시키지 않고 장치내에서 CoSi<sub>2</sub> 막 (112)이 형성되는 온도로 가열된다. 이 경우에, 가열 온도는 500 °C 내지 800 °C 사이의 범위내에 있다.

다음에, 도 1의 (c)에 나타난 바와 같이, 습식 에칭이 활성 영역 및 과산화수소 용액의 혼합 용액에 의해 수행되어 필드 산화막 (103)상에 그 속박 스페이서 (106)상에 존재하는 코발트막 (111)의 미반응 부분을 선택적으로 제거한다. 따라서, CoSi<sub>2</sub> 막 (112)은 필드 산화막, 즉, 산화막 (103) 및 속박 스페이서 (106)의 표면상에, 어떠한 코발트 실리콘사이드 층도 형성하지 않고 MOS 트랜지스터의 게이트 전극 (105)의 정상에, N형 소오스 및 드레인 확산층 (109)의 표면상에 그리고 P형 소오스 및 드레인 확산층 (110)상에 선택적으로 형성된다.

다음으로, 도 2를 참조하여 제 2 종래예를 설명한다. 도 2는 코발트막과 같은 금속막을 사용하는 실리콘사이드 형성 공정을 나타낸다.

2의 (a)에 나타난 바와 같이, 소자 분리 영역 (202)은 실리콘 기판 (201)의 표면상에 형성된다. 계속해서, 실리콘 산화막과 같은 게이트 산화막 (203) 및 폴리실리콘막은 소자 분리 영역 (202)에 의해 둘러싸인 활성 영역에서 차례로 형성된다. 그후, 불순물로서 인 이온이 증착된 기술에 의해 폴리실리콘막에 도핑된다. 따라서, 폴리실리콘막의 저항값은 감소된다. 계속해서, 상술한 폴리실리콘막은 증착된 포토리소그래피 및 건식 에칭법에 의해 패터닝되어 폴리실리콘 게이트 (204)가 형성된다. 계속해서, 속박 스페이서 (205)는 증착된 방법에 의해 증착된 게이트 (204)의 측면상에 형성된다.

다음으로, 코발트막 (206) 및 티타늄막 (207)이 스퍼터링법에 의해 전체 표면상에 연속적으로 증착된다. 이 경우에, 각각의 금속막의 막 두께는 10 nm 정도에 설정된다. 계속해서, 금속 열처리 어닐링법 (rapid thermal annealing : RTA)과 같은 열 처리가 적소 분위기에서 700 °C 정도 행된다. 따라서, 도 2의 (b)에 나타난 바와 같이, 코발트 실리콘사이드막 (208)은 실리콘 기판 (201) 표면상에 그리고 폴리실리콘 게이트 (204)의 표면상에 형성된다. 이때, 소자 분리 영역 (202) 및 속박 스페이서 (205)의 실리콘 산화막상의 코발트막 (206)은 실리콘사이드와 되고 실리콘사이드와 되지 않은 상태로 남는다. 또한, 전체 티타늄막 (207)은 상술한 열 처리를 통해 티타늄 질화막 (209)으로 변화된다. 따라서, 습식 에칭이 상술한 실리콘사이드와 되지 않은 코발트막 (206) 및 티타늄 질화막 (209)에 대해서 선택적으로 수행된다. 따라서, 도 2의 (c)에 나타난 바와 같이, 코발트 실리콘사이드막 (208)이 실리콘 기판 (201)상에 형성된 MOS 트랜지스터의 게이트, 소오스 및 드레인 영역에 선택적으로 형성된다.

**발명이 이루고자 하는 기술적 과제**

즉, 상술한 제 1 종래예에서, 코발트와 실리콘의 반응이 발생하여 필드 산화막 (103) 및 속박 스페이서 (106)와 같은 절연막상에, CoSi<sub>2</sub>가 형성되는 온도에서 CoSi<sub>2</sub> 막을 형성한다. CoSi<sub>2</sub> 막이 이 방법으로 밀착 형성되면, 습식 에칭법에 의해 CoSi<sub>2</sub> 막을 제거하기는 어렵다. 더욱이, 활성 영역 및 과산화수소 용액의 혼합 용액을 사용하여 절연막상에 형성된 CoSi<sub>2</sub>.

막이 예정된 때, 게이트 또는 확산층상에 형성된 막으로 덮인다. 이 때문에, 소오스 및 드레인 확산층과 게이트 전극의 저항값, 특히 소오스 및 드레인 확산층과 게이트 전극의 시이트 값은 미세한 패턴을 갖는 MOS 트랜지스터의 형성시 증가한다.

따라서, 형성된 코발트 실리콘사이드 등의 막 두께 제어도 어렵다. 결과적으로, 반도체 장치가 형성되는 반도체 칩 또는 반도체 웨이퍼에서 MOS 트랜지스터의 게이트 전극과 소오스 및 드레인 확산층의 시이트 저항값의 편차를 감소시키는 것이 어렵다. 이 때문에, MOS 트랜지스터의 특성이 증가한다.

참, 상술한 제 2 항례에서, 코발트막 (206) 및 티타늄막 (207) 은 스퍼터링법에 의해 증착된다. 열 처리의 조정에 의해서, 코발트막과 티타늄막의 열 반응을 통해 코발트 및 티타늄의 혼합 결정 실리콘사이드막이 형성되는 경우가 있다. 결과적으로, 실리콘사이드 결정의 수가 증가 제조 공정은 다양해진다.

참, 이 경우에, 코발트 실리콘사이드 층의 막 두께를 제어하는 것 또한 어렵다. 이 때문에, 상술한 바와 같이, 반도체 칩 또는 반도체 웨이퍼에서 MOS 트랜지스터의 전하 특성이 증가한다.

MOS 트랜지스터의 소형화와 고집적화로, 게이트 전극과 소오스 및 드레인 확산층의 최소 패턴 크기는 0.5  $\mu\text{m}$  이하가 된다. 이 경우에, 게이트 전극 또는 확산층의 시이트 저항값은 게이트 전극 쪽 또는 확산층 쪽이 넓은 때의  $\text{CoSi}_2$  막의 시이트 저항값에 비하여 높아지게 된다. 즉, 형성된 실리콘사이드 층의 저항값은 패턴 크기 의존성을 갖는다. 결과적으로, MOS 트랜지스터 또는 반도체 장치의 설계가 어려워진다.

반면은 상술한 문제점 해결하도록 성취된다. 따라서, 본 발명의 목적은 미세한 패턴 구조를 갖는 반도체 장치에서 게이트 전극 또는 확산 저항값이 작아질 수 있는 반도체 장치 제조 방법을 제공하는 것이다.

참, 본 발명의 다른 목적은 코발트와 같은 고융점 금속과 절연막의 열 반응이 억제될 수 있어서  $\text{CoSi}_2$  막이 게이트 전극상에 크리프/또는 확산에 선택적으로 형성될 수 있는 반도체 장치 제조 방법을 제공하는 것이다.

발명의 또 다른 목적은 실리콘사이드 층 폭이 0.1  $\mu\text{m}$  정도로 좁아지더라도 고집적의 실리콘사이드 층이 형성될 수 있는 반도체 장치 제조 방법을 제공하는 것이다.

발명의 또 다른 목적은 실리콘사이드 형성 공정이 안정화되고 제조 비용이 감소될 수 있도록 실리콘사이드 층이 MOS 트랜지스터 제조 공정에서 한 공정으로 형성될 수 있는 반도체 장치 제조 방법을 제공하는 것이다.

#### 발명의 구성 및 작용

발명의 일례를 성취하기 위해, 반도체 장치 제조 방법에서, 제 1 상 구조를 갖는 내연성 금속 실리콘사이드 층이 형성되고, 그후 열 처리가 주어 제 1 상 구조를 갖는 내연성 금속 실리콘사이드 층을 제 2 상 구조를 갖는 내연성 금속 실리콘사이드 층으로 변화시킨다.

1 상 구조를 갖는 내연성 금속 실리콘사이드 층을 형성하기 위해, 반도체 기판이 가열되는 상태에서, 내연성 금속의 증착 작업을 수행하는 동안 절연 금속 실리콘사이드 층을 제 1 상 구조를 갖는다. 이 경우에, 내연성 금속의 증착 속도는 내연성 금속이 내연성 금속 실리콘사이드 층으로 되는 이 속도보다 작은 것이 바람직하다. 특히, 내연성 금속의 증착 속도는 0.05 nm/sec 내지 0.3 nm/sec 의 범위내에 있는 것이 바람직하다.

참, 제 1 상 구조를 갖는 내연성 금속 실리콘사이드 층을 형성하기 위해, 내연성 금속막은 진공 상태에서 증착될 수도 있다. 그후, 반도체 : 로 진공 상태에서 가열되어 내연성 금속막을 제 1 상 구조를 갖는 내연성 금속 실리콘사이드 층으로 변화시킨다.

특히, 제 1 상 구조를 갖는 내연성 금속 실리콘사이드 층을 형성하기 위해, 배리어막이 반도체 기판의 실리콘 함유 층상에 형성될 수도 있다. 배리어막은 내연성 금속의 원자가 배리어막을 통과하도록 허용하고 실리콘 함유 층내의 실리콘 원자가 배리어막을 통과하지 못하도록 작용한다. 그후, 반도체 기판은 가열되어 배리어막상에 증착된 내연성 금속의 원자 및 실리콘 함유 층내의 실리콘 원자로부터 제 1 상 구조를 갖는 내연성 실리콘사이드 층을 형성한다. 이 경우에, 배리어막은 다공성 실리콘 산화막인 것이 바람직하다. 또한, 내연성 금속은 반도체 기판이 500  $^{\circ}\text{C}$  사이의 범위내의 온도로 가열되는 동안 배리어막상에 증착되는 것이 바람직하다.

이 방법은 내연성 금속의 실리콘사이드와 되지 않은 부분을 제거하기 위해 반도체 기판을 세정하는 단계들 더 포함할 수도 있다. 이 경우에, 이 기판은 내연성 금속의 실리콘사이드와 되지 않은 부분을 제거하기 위해 양산 용액 및 과산화수소 용액의 혼합 용액으로 세정된다.

발명에서, 열 처리가 수행되어 제 1 상 구조를 갖는 내연성 금속 실리콘사이드 층을 제 3 상 구조를 갖는 내연성 금속 실리콘사이드 층으로 변화. 그후, 제 3 상 구조를 갖는 내연성 금속 실리콘사이드 층을 제 2 상 구조를 갖는 내연성 금속 실리콘사이드 층으로 변화될 수도 있다. 이 경우, 내연성 금속은 코발트 및 티타늄 하나가 되는 것이 바람직하다. 또한, 제 1 상 구조를 갖는 내연성 금속 실리콘사이드 층은  $\text{Co}_2\text{Si}$  막이고, 3 상 구조를 갖는 내연성 금속 실리콘사이드 층은  $\text{CoSi}$  막이며, 제 2 상 구조를 갖는 내연성 금속 실리콘사이드 층은  $\text{CoSi}_2$  막인 것이 바람직하다. 이 경우에, 제 2 상 구조를 갖는 내연성 금속 실리콘사이드 층으로서  $\text{CoSi}_2$  막이 예외적으로 성립한다.

발명의 다른 일례를 성취하기 위해, 반도체 장치 제조 방법은

반도체 기판이 가열되는 상태에서 내연성 금속을 증착하는 단계,

작업을 수행하는 동안 제 1 상 구조를 갖는 내연성 금속 실리콘사이드 층을 형성하는 단계,

1 상 구조를 갖는 내연성 금속 실리콘사이드 층이 소정의 막 두께를 갖도록 증착되는 내연성 금속의 양을 제어하는 단계, 및

1 상 구조를 갖는 내연성 금속 실리콘사이드 층을 제 2 상 구조를 갖는 내연성 금속 실리콘사이드 층으로 변화시키기 위해 열 처리를 수행하는 단 포함한다.

특히, 본 발명의 또 다른 일례를 성취하기 위해, 반도체 장치 제조 방법은

로제 기판의 실리콘 함유 층상에, 내열성 금속의 원자가 배리어막을 통과하도록 하고 실리콘 함유 층내의 실리콘 원자가 배리어막을 통과하도록 작용하는 배리어막을 형성하는 단계,

리터막상에 증착된 내열성 금속의 원자 및 실리콘 함유 층내의 실리콘 원자로부터 제 1 상 구조를 갖는 내열성 금속 실리콘사이드 층을 형성하고 반도체 기판을 가열하는 단계,

결정 금속의 실리콘사이드와 도지 않은 부분을 제거하기 위해 반도체 기판을 세정하는 단계, 및

1 상 구조를 갖는 내열성 금속 실리콘사이드 층을 제 2 상 구조를 갖는 내열성 금속 실리콘사이드 층으로 변화시키기 위해 열 처리를 수행하는 단 포함한다.

1 상 구조를 갖는 내열성 금속 실리콘사이드 층이 제 3 상 구조를 갖는 내열성 금속 실리콘사이드 층으로 변화되고 그후, 제 3 상 구조를 갖는 내열성 금속 실리콘사이드 층이 제 2 상 구조를 갖는 내열성 금속 실리콘사이드 층으로 변화되도록 열 처리가 수행된다. 제 1 상 구조를 갖는 내열성 ; 실리콘사이드 층은  $\text{Co}_2\text{Si}$  막이고, 제 3 상 구조를 갖는 내열성 금속 실리콘사이드 층은  $\text{CoSi}$  막이며, 제 2 상 구조를 갖는 내열성 금속 실리콘사이드 층은  $\text{CoSi}_2$  막이다. 이 경우에, 제 2 상 구조를 갖는 내열성 금속 실리콘사이드 층으로서  $\text{CoSi}_2$  막이 예피택셜 성장된다.

따라서, 정수된 도면을 참조하여 본 발명의 실리콘사이드 층 형성 방법을 설명한다.

3 은 코발트 실리콘사이드 층이 본 발명의 제 1 실시예에 따른 제조 방법에 따라 형성된 경우의 MOS 트랜지스터의 단면도이다.

3 의 (a) 에 나타낸 바와 같이, 소자 분리 절연막 (2) 은 P형 실리콘 기판 (1) 의 표면에 선택적으로 형성된다. 이 경우에, 소자 분리 절 (2) 은 통상의 LOCOS법 또는 드레인 소자 분리법에 의해 형성된다. 그후, MOS 트랜지스터의 소오스 및 드레인 영역을 위한 확산층 (3) 과 분리 절연막 (2) 이 형성되지 않은 영역내에 실리콘 기판 (1) 의 표면에 형성된다. 이 경우에, 확산층 (3) 은 비소 미온의 분출을으로서 하는 N형 확산층이다.

따라서, 확산층 (3) 상의 자연 산화막은 높은 분산 용액과 같은 화학 용액으로 제거된다. 배리어막 (4) 은 확산층 (3) 상에 형성된다. 배 (4) 은 후에 언급될 실리콘 원자의 확산을 방지하는 확산층이다. 배리어막 (4) 은 1 nm 정도의 막 두께를 갖고 다공성 실리콘 산화막으로 이루어진다. 이와 같은 다공성 실리콘 산화막은 질산 용액에서 실리콘 기판 (1) 을 가열함에 의해 형성될 수 있다. 대신에, 암모니아 용액 과산화수소 용액의 혼합 용액내에서 실리콘 기판 (1) 을 가열함에 의해 다공성 실리콘 산화막을 형성하는 것이 가능하다.

리터막 (4) 이 실리콘 기판 (1) 의 표면에 형성된후, 코발트막 (5) 은 다중 챔버로 이루어진 다중챔버 장치에서 스퍼터링법에 의해 형성된다 다중챔버 장치는  $10^{-6}$  Torr 정도의 고진공 상태로 설정될 수 있다. 스퍼터링법에 의한 막 형성은 450 °C 정도의 온도에서 수행된다. 코 (5) 의 막 두께는 10 nm 정도로 설정된다. 또한, 스퍼터링 막 형성 속도는 0.5 nm/sec 정도로 설정된다.

와 같은 온도에서의 스퍼터링에서, 확산층 (3) 의 일부 표면만이 실리콘사이드와 된다. 실리콘사이드와시,  $\text{Co}_2\text{Si}$  막이 형성된다. 코발트막 의 코발트 원자는 배리어막 (4) 을 통해 실리콘 기판 (1) 의 표면으로 이동한다. 그러나, 실리콘 기판 (1) 의 표면에서의 실리콘 원자는 코 (5) 으로 확산하지 않는다. 이것은 배리어막 (4) 이 형성되어 실리콘 원자의 확산을 방지하기 때문이다. 스퍼터링법에 의한 막 형성으 도는 400 에서 500 °C 의 범위에서 매우 효과적이라는 것을 주의해야 한다.

따라서, 실리콘 기판 (1) 은 진공 상태에서 상온 다중챔버 장치의 다른 챔버로 이동되고  $10^{-6}$  Torr 정도의 고진공에서 열 처리가 수행된다 코발트막은 산화되기가 매우 쉽고, 산화가 코발트의 실리콘사이드와를 방지한다. 그러나, 본 발명에서 실리콘 기판은 대기에 노출되지 않고 공 상태에서 옮겨지기 때문에, 이와 같은 문제는 없다.

경우에, 열 처리 온도는 450 °C 정도로 설정되고, 열 처리 시간은 30 sec 정도이다. 도 3 의 (b) 에 나타낸 바와 같이, 열 처리는 절제 트막 (5) 의 코발트 원자가 배리어막 (4) 을 통해 확산층 (3) 의 표면으로 확산하게 하여 확산층 (3) 의 표면에  $\text{Co}_2\text{Si}$  막을 완전하게 형성한다.  $\text{Co}_2\text{Si}$  막 (6) 은 제 1 상 구조의 고융점 금속 실리콘사이드 층이다. 실리콘사이드 층은 사망점계의 다결정 구조를 갖는다. 확산층 (3) 의 표 면부터 코발트막 (5) 으로 실리콘 원자의 이동은 열 처리 동안 배리어막 (4) 에 의해 억제된다. 이 때문에, 어떠한  $\text{Co}_2\text{Si}$  막 (8) 도 배리어 상에 또는 소자 분리 절연막 (2) 상에 전혀 형성되지 않는다.

따라서, 실리콘 기판 (1) 은 소자 분리 절연막 (2) 상의 코발트막 (5) 이 선택적으로 에칭되도록 왕산 용액 및 과산화수소 용액의 혼합 용액에 의 시간 동안 절제된다. 이 과정으로, 도 3 의 (c) 에 나타낸 바와 같이,  $\text{Co}_2\text{Si}$  막 (6) 은 실리콘 기판 (1) 의 표면에 형성되었던 확산층 에만 형성된다. 어떠한  $\text{Co}_2\text{Si}$  막 (8) 도 절연막으로서의 소자 분리 절연막 (2) 상에 완전하게 형성되지는 않는다. 또한, 배리어막 (4) 이 (3) 상에 제정된  $\text{Co}_2\text{Si}$  막 (6) 상에 접한다.

따라서, 실리콘 기판은 왕산 용액 및 과산화수소 용액의 혼합 용액과 암모니아 용액 및 과산화수소 용액의 혼합 용액으로 세정된다. 이 경 배리어막 (4) 은  $\text{Co}_2\text{Si}$  막 (8) 이 상온 혼합 용액으로 부식되는 것을 방지한다. 또한,  $\text{Co}_2\text{Si}$  막은 왕산 용액 및 과산화수소 용액의 혼합 용액으로 에칭된다.

따라서, 제 1 RTA 소결이 질소 분위기에서 수행된다. 제 1 소결의 조건은 800 °C 의 온도 및 60 sec 정도의 공정 시간이다.

3 의 (d) 에 나타낸 바와 같이,  $\text{Co}_2\text{Si}$  막 (8) 은도부터  $\text{CoSi}$  막 (7) 으로 상 전이가 수행된다. 이 방법으로,  $\text{CoSi}$  막 (7) 이 확산층 (3) 의 상에 형성된다.  $\text{CoSi}$  막 (7) 은 제 2 상 구조의 고융점 (내열성) 금속 실리콘사이드 층이다. 실리콘사이드 층은 입방점계의 다결정 구조를 가

따라서, 제 2, 제 2 RTA 소결이 질소 분위기에서 수행된다. 제 2 소결의 조건은 800 °C 의 온도 및 10 sec 정도의 공정 시간이다.

3 의 (e) 에 나타낸 바와 같이, 이번에는  $\text{CoSi}$  막 (7) 으로부터  $\text{CoSi}_2$  막 (8) 으로 상 전이가 수행된다.  $\text{CoSi}_2$  막 (8) 은 제 3 상 구조의 고 (내열성) 금속 실리콘사이드 층이다. 실리콘사이드 층은 에피택셜 성장에 의해 형성되고 입방점계의 단결정 구조를 갖는다.  $\text{CoSi}_2$  점계의 ; 상수는 실리콘 점계의 격자 상수에 매우 가깝다는 것을 주의해야 한다. 그후, 배리어막 (4) 은 습식 에칭법에 의해 제거된다.

한 바와 같이, 이 방법에서, 최종적으로,  $\text{CoSi}_2$  막은 실리콘 기판 (1) 상의 확산층 (3) 의 표면에 선택적으로 형성된다. 어떠한  $\text{CoSi}_2$

(8) 도 소자 분리 접합막 (2) 상에 접어 형성되지 않는다. 또한, 이 방법에서  $\text{CoSi}_2$  막 (8) 이 에피택셜 성장에 의해 형성되기 때문에, Co 박은 제압이 낮은 음이다.

1 실시예에서, 배리어막 (4) 은 다결정 실리콘 산화막으로서 형성된다. 이와 같은 배리어막으로서, 0.5 nm 정도의 막 두께를 갖는 실리콘 질막이 사용될 수도 있다. 대신에, 접합막인 아니라 금속막으로 배리어막 (4) 이 형성될 수도 있다. 배리어막 (4) 은  $\text{Co}_3\text{Si}$  막 (6) 이 형성된 상태에서 코발트 원자는 통과시키고 실리콘 원자는 통과시키지 않는 특성을 가진다는 것이 중요하다.

1 실시예의 실리콘사이드 형성 방법에서, 배리어막을 실리콘 기판과 같이 실리콘사이드화 되는 물질 표면에 형성되고, 코발트막은 배리어막을 형성한다. 상술한 바와 같이,  $\text{Co}_3\text{Si}$  막이 형성되고 소결이 수행된다. 최종적으로,  $\text{CoSi}_2$  막을 에피택셜 성장되고 실리콘사이드 층을 확산 영역에서 선택적으로 형성된다.

과 같은 방법으로, 실리콘사이드화된 물질 표면상의 전체 코발트막은 코발트 실리콘사이드 층으로 변화된다. 이 때문에,  $\text{CoSi}_2$  막의 최종 막 두께는 스퍼터링 공정에서 형성된 코발트막의 막 두께에 의존한다. 따라서, 코발트 실리콘사이드 층의 막 두께 제어가 매우 중요해진다. MOS 트랜지스터내에 게이트 전극과 소오스 및 드레인 확산층의 사이드 지향 전자는 반도체 장치가 형성되는 반도체 필 또는 반도체 웨이퍼에서 용이하게 감소될 수 있다. 더욱이, MOS 트랜지스터의 전하 특성이 감소될 수 있다.

특히, 이 방법에서, 코발트 실리콘사이드 층은 에피택셜 성장에 의해 형성된다. 따라서, 게이트 전극과 소오스 및 드레인 확산층 패턴의 최면 크기는 MOS 트랜지스터의 소형화 및 고집적화와 더불어 작아지는 경우가 있다. 이 경우에, 좁은 패턴 폭을 갖는 영역에서 형성된 코발트 실리콘사이드 층은 넓은 패턴 폭을 갖는 영역에 형성된 코발트 실리콘사이드 층의 막 두께와 같은 막 두께를 갖도록 형성될 수 있다. 즉, 완성된 코발트 실리콘사이드 층의 저항값은 패턴 크기 의존성을 갖지 않는다. 따라서, MOS 트랜지스터 또는 반도체 장치의 설계가 매우 중요해진다.

또, 상술한 배리어막 (6) 은  $\text{Co}_3\text{Si}$  막이 산 세정 공정에서 예정되는 것을 방지하는 작용을 한다. 또한, 에피택셜 성장으로 형성되는 코발트 실리콘사이드 층은 전 저항에 대한 내성을 향상시킨다. 즉, 코발트 실리콘사이드 층은 고내열성을 갖게 되어서 통상의 경우에 발생하는 용접이 이어서 결코 발생되지 않는다. 이 때문에, MOS 트랜지스터의 제조 공정에서 실리콘사이드 층을 형성하는 공정이 용이하고 안정적으로 이루어질 있어서 제조 비용이 감소될 수 있다.

음으로, 도 4 및 도 5 등 참조하여 본 발명의 제 2 실시예에 따른 실리콘사이드 층을 형성하는 방법을 이하 자세히 설명한다. 도 4 는 코발트 실리콘사이드 층이 형성될 때 또 다른 제조 공정을 나타낸다. 도 5 는 이 경우에 코발트막 형성 조건을 지정하는 실험 결과의 그래프이다. 이 영역에서, 제 1 실시예와 동일한 구성 성분을 동일한 참조 번호에 의해 지시된다.

1 실시예에서 설명된 바와 같이, 도 4 의 (a) 에서 소자 분리 접합막 (2) 은 P형 실리콘 기판 (1) 의 표면에 선택적으로 형성된다. 확산층은 소자 분리 접합막 (2) 이 형성되지 않은 영역에서 실리콘 기판 (1) 의 표면에 형성된다. 확산층 (3) 은 N형 확산층이다.

음으로, 코발트막 (5) 은 스퍼터링 장치에서 10 nm 의 막 두께를 갖도록 스퍼터링됨에 의해 실리콘 기판 (1) 의 표면에 형성된다. 스퍼터링치는  $10^{-4}$  Torr 정도의 고진공으로 설정될 수 있다. 스퍼터링에 의한 막 형성을 400 °C 정도의 고온에서 수행된다.

저지함에 의해 막 형성에서 중요한 것은 코발트막의 막 형성 속도, 즉, 스퍼터링 막 형성 속도가  $\text{Co}_3\text{Si}$  막으로의 실리콘사이드화 속도보다 더 느릴 것이라는 것이다. 이 경우에, 스퍼터링 막 형성 공정에서 확산층 (3) 의 표면에 도달하는 모든 코발트 원자는 확산층 (3) 의 표면상의 실리콘과 열 반응을 수행한다. 즉,  $\text{Co}_3\text{Si}$  막 (8) 은 스퍼터링 막 형성 공정이 수행됨과 동시에 형성된다. 또한, 코발트막 (5) 은 스퍼터링 막 형성 공정에서, 접합막으로서의 소자 분리 접합막 (2) 상에 그대로 남는다.  $\text{Co}_3\text{Si}$  막 (8) 은 확산층 (3) 의 표면에 선택적으로 성장된다.  $\text{Co}_3\text{Si}$  막 (6) 은 14 nm 정도의 막 두께를 갖도록 설정된다. 이 경우에 스퍼터링 막 형성 속도는 제 1 실시예에서의 스퍼터링 막 형성 속도보다 더 느릴 것에 주의해야 한다.

2 실시예의 방법에서, 스퍼터링 막 형성 속도를 적절한 값으로 설정하는 것이 필수적이다. 이것을 도 5 등 참조하여 설명한다.

5 에서, 수정축은 스퍼터링 막 형성 속도이고, 좌축 (左縦軸) 은 최종  $\text{CoSi}_2$  막의 사이드 지향 전자이며, 우축 (右縦軸) 은 코발트 실리콘 확산층의 접합 누설 전류이다.

5 도부터 알 수 있듯이, 웨이퍼에서 사이드 지향의 전자는 스퍼터링 막 형성 속도가 0.3 nm/sec 이하일 때 심하게 침전하게 되는 3 % 이하인, 스퍼터링 막 형성 속도가 0.3 nm/sec 보다 클 때 전자는 급격히 증가한다.

그러나, 스퍼터링 막 형성 속도가 작아지면, 확산층의 접합 누설 전류는 점차 증가한다. 스퍼터링 막 형성 속도가 0.05 nm/sec 보다 작아지면, 산층의 접합 누설 전류는 급격히 증가한다. 이것은 스퍼터링 막 형성 속도가 너무 작아지면, 공정 시간이 길어져서 소자 분리 접합막 (2) 다량의 코발트막 (5) 의 코발트 원자가 도 5 에 나타낸 바와 같이, 확산층 (3) 으로 들어가기 때문이다. 이 때, 과도한 실리콘사이드와 소자 분리 접합막 (2) 의 겹에서 전압되어 접합면이 화합된다. 상술한 바와 같이, 제 2 실시예에서 코발트의 스퍼터링 막 형성 속도는 0.05 nm/sec 이하이고, 3 nm/sec 이하로 되어야 한다.

음으로, 제 1 실시예에서 설명한 바와 같이, 제 1 소결은 진소 분위기에서 수행된다. 이 방법으로, 도 4 의 (b) 에 나타낸 바와 같이, 확산층 (3) 상의  $\text{Co}_3\text{Si}$  막 (6) 이  $\text{CoSi}$  막 (7) 으로의 상 전이가 수행된다. 이 경우에, 코발트막 (5) 은 소자 분리 접합막 (2) 상에 접착한다. 코발트막 (5) 의 표면은 약간 산화될 수도 있다는 것을 주의해야 한다.

음으로, 실리콘 기판 (1) 은 소결의 시간 동안 산화 용액 및 과산화수소 용액의 순환 용액에 잠겨져, 소자 분리 접합막 (2) 상의 코발트막 (5) 에피택셜에 의해 선택적으로 제거된다.

음으로, 제 2 소결이 수행된다. 제 2 소결의 조건은 800 °C 의 온도이고 공정 시간은 10 sec 정도로 설정된다. 도 4 의 (c) 에 나타낸 바와 같이, 확산층 (3) 상의  $\text{CoSi}$  막 (7) 이  $\text{CoSi}_2$  막 (8) 으로의 상 전이가 수행된다.

방법으로,  $\text{CoSi}_2$  막 (8) 은 최종적으로 실리콘 기판 (1) 상의 확산층 (3) 의 표면에 선택적으로 형성된다. 어떠한  $\text{CoSi}_2$  막 (8) 도 소자 분리 접합막 (2) 상에 형성되지 않는다.



2 실시예의 경우에, 실리콘사이드와 되는 막 표면의 전체 코발트막은 코발트 실리콘사이드 층으로 변화된다. 따라서, 코발트 실리콘사이드 층 두께 제어가 매우 용이해진다. 반도체 웨이퍼에서 MOS 트랜지스터의 게이트 전극과 소오스 및 드레인 확산층의 사이드 저항 전자는 용이 감소될 수 있어서 MOS 트랜지스터의 변화 특성이 감소될 수 있다.

다음으로, 도 6 및 도 7을 참조하여 본 발명의 제 3 실시예에 따른 실리콘사이드 형성 방법을 설명한다. 도 6은 실리콘사이드 층이 CMOS 트랜지스터에 형성된 제조 공정을 나타낸다. 또한, 도 7은 실리콘사이드 층이 본 발명의 방법에 의해 형성된 표층을 설명하는 확산층의 사이드 저항, 캐프이다.

6의 (a)에 나타낸 바와 같이, N형 (22)은 P 채널 MOS 트랜지스터가 P형 실리콘 기판 (21) 상에 형성되는 영역에서 이온 주입된 영역 처리가 형성된다. 계속해서, 소자 분리 절연막 (23)이 실리콘 기판 (21)의 표면에 형성되어 350 nm 정도의 막 두께를 갖는다. 그후, 게이트 산화막 (24)은 소자 분리 절연막 (23)에 의해 둘러싸인 활성 영역에서 형성되어 10 nm의 막 두께를 갖는다. 그후, 게이트 전극 물질로서 티타늄이 성장되어 150 nm의 막 두께를 갖는다. 이 경우에, 폴리실리콘막은 고농도의 인 이온 함유물을 포함한다.

다음으로, 산화된 폴리실리콘막은 공지된 포토리스그래피 기술 및 이온 주입 기술에 의해 패터닝되어 게이트 전극 (25)을 형성한다. 저농도 인 확산층 (26) 및 저농도의 P형 확산층 (27)이 이온 주입 기술에 의해 차례로 형성된다. 계속적으로, 실리콘 산화막은 전체 표면상에 증착; 70 nm의 막 두께를 갖는다. 그후, 액티브 스페이스 (28)가 미량성 건식 에칭을 사용하는 에칭액 방법에 의해 게이트 전극 (25)의 측면상이 형성된다.

다음으로, 도 6의 (b)에 나타낸 바와 같이, 고농도의 P형 확산층 및 고농도의 N형 확산층은 포토리스그래피 기술 및 이온 주입 기술에 의해 형성된다. 이 방법으로, N형 소오스 및 드레인 확산층 (29)과 P형 소오스 및 드레인 확산층 (30)이 형성되어 LDD 구조를 완성한다.

다음으로, 폴리실리콘층으로 이루어진 게이트 전극 (25)의 표면상의 그리고 실리콘 기판 (21)의 표면상의 자연 산화막은 높은 불산 용액으로 제거 제거된다.

결과적으로, 제 1 실시예에서와 같이, 배리어막 (31)은 N형 소오스 및 드레인 확산층 (29) 상에, P형 소오스 및 드레인 확산층 (30) 상에, 그 게이트 전극 (25)의 표면에 형성된다.

다음으로, 제 1 실시예에서와 동일한 방법으로, 코발트막 (32)이 다중침범 장치에서 스퍼터링에 의해 형성된다. 이 경우에, 스퍼터링 막 용은 450 °C 정도의 온도에서 수행된다. 코발트막 (32)의 막 두께는 15 nm 정도로 형성된다. 실리콘 기판 (21)은 동일한 정공 상태에서; 막 다중침범 장치의 다른 챔버로 이동되고 10<sup>-8</sup> Torr 정도의 고진공 상태에서 열 처리가 수행된다. 이 경우에, 열 처리 온도는 450 °C 정도로 설정되고 열 처리 시간은 30 sec 정도이다. 열 처리를 거쳐, 코발트막 (32)의 코발트 원자는 배리어막 (31)을 통해 N형 소오스 및 드레인 확산층 (29)의 표면으로, P형 소오스 및 드레인 확산층 (30)의 표면으로 그리고 게이트 전극 (25)의 표면으로 확산하여 이들 표면상에 Co<sub>2</sub>Si (33)을 형성한다.

다음으로, 실리콘 기판 (21)은 활성 용액 및 산화물수용액의 혼합 용액에 잠겨되어 습식 에칭에 의해 소자 분리 절연막 (23) 상의 그리고 액티브 스페이스 (28) 상의 코발트막 (32)을 선택적으로 제거한다. 이 방법으로, Co<sub>2</sub>Si 막 (33)은 N형 소오스 및 드레인 확산층 (29)의 표면상에, 소오스 및 드레인 확산층 (30)의 표면상에 그리고 게이트 전극 (25)의 표면상에만 잔존하게 된다. 이 경우에, 어떠한 Co<sub>2</sub>Si 막도 절연막; 위의 소자 분리 절연막상에 그리고 액티브 스페이스 (28) 상에는 없다.

다음으로, 세정 공정이 수행된다. 그후, 제 1 실시예에서와 같이, 제 1 소결 공정이 점소 분위기에서 수행된다. 결과적으로, 도 6의 (c)에 나타낸 바와 같이, Co<sub>2</sub>Si 막 (33)으로부터 CoSi 막 (34)으로 상 전이가 수행된다. 이 방법으로, CoSi 막 (34)이 N형 소오스 및 드레인 확산층 (29)의 표면상에, P형 소오스 및 드레인 확산층 (30)의 표면상에 그리고 게이트 전극 (25)의 표면에 형성된다.

다음으로, 제 1 실시예에서 설명한 바와 같이, 제 2 소결 공정이 수행된다. 이 경우에, 제 2 소결은 10 sec 정도의 공정 시간 동안 800 °C 온도에서 수행된다. 도 6의 (d)에 나타낸 바와 같이, CoSi 막 (34)이 이면에서 CoSi<sub>2</sub> 막 (35)으로 상 전이하게 된다.

방법으로, CoSi<sub>2</sub> 막은 최종적으로 CMOS 트랜지스터에서 N형 소오스 및 드레인 확산층 (29)의 표면상, P형 소오스 및 드레인 확산층 (30)의 표면상 그리고 게이트 전극 (25)의 표면에 선택적으로 형성된다. 즉, 코발트 실리콘사이드를 사용하는 실리콘사이드화가 MOS 트랜지스터에서 수행된다.

후한 CMOS 트랜지스터에서 실리콘사이드화를 통해 형성되었던 CoSi<sub>2</sub> 막은 0.2 μm의 패터 폭을 갖는 게이트 전극에서, 그리고 0.5 μm 이하의 폭을 갖는 N형 소오스 및 드레인 확산층과 P형 소오스 및 드레인 확산층에서 낮은 사이드 저항값이 얻어진다.

7을 참조하여 본 발명에 의해 선택된 실험 결과를 설명한다.

7의 (a)는 본 발명의 제조 방법에 의해 형성된 코발트 실리콘사이드 층의 사이드 저항의 N형 소오스 및 드레인 확산층 패터 폭 의존성을 나타낸다. 도 7의 (b)는 본 발명의 제조 방법에 의해 형성된 코발트 실리콘사이드 층의 사이드 저항의 P형 소오스 및 드레인 확산층 패터 폭 의존성을 나타낸다. 도 7에서, 수평축은 소오스 및 드레인 확산층 폭을 지시하고 수직축은 웨이퍼에서 최종적으로 실리콘사이드화된 소오스 및 드레인 확산층의 사이드 저항을 지시한다. 도 7에서, Δ 마크는 코발트 실리콘사이드 층이 제 1 단계에서의 방법에 의해 형성될 때 사이드 저항값을 지시하고 O 마크는 실리콘사이드 층이 제 3 실시예의 방법에 의해 형성될 때 사이드 저항값을 지시한다. 도 7으로부터 알 수 있듯이, 종래에서, 소오스 및 드레인 확산층 폭이 0.3 μm 이하로 용입하거나 보다 좁아질 때, 사이드 저항값은 현저하게 증가한다. 또한, 사이드 저항값의 70 % 정도의 편차 웨이퍼에서 발생하게 된다.

경, 본 발명의 방법에서, 사이드 저항값의 편차값은 크게 감소한다. 또한, 사이드 저항값의 소오스 및 드레인 확산층 폭 의존성이 사라지므로 사이드 저항값은 소오스 및 드레인 확산층 폭이 0.1 μm 정도가 될 때까지 실질적으로 일정한 값이다. 웨이퍼에서 사이드 저항값의 편차는 3 % 이하이다.

기 효과는 MOS 트랜지스터에서 소오스 및 드레인 확산층이 N형 확산층인지 또는 P형 확산층인지에 관계없이 얻어진다. 또한, 실리콘사이드화된 게이트 전극의 사이드 저항값은 산화된 것과 동일한 효과를 갖는다.

솔한 실시예에서는, 실리콘 기판이 P형인 경우도 설명한다. 그러나, 본 발명은 이에 한정되지 않고 N형 실리콘 기판에 적용될 수 있다. 경우에, P형 및 N형은 선행에서 교체하여야 한다.

또, 제 3 실시예에서, 코막트 실리콘사이드 층이 형성될 때, 제 2 실시예에서 설명된 방법이 사용될 수도 있다. 또는, 제 1 실시예에서 설명된 방법 및 제 2 실시예에서 설명된 방법이 병용될 수도 있다.

또, 본 발명의 방법에서, 니켈이 코막트 대신 사용될 수도 있다. 이 경우, 최종 실리콘사이드 층은 NiSi 막으로 이루어진다.

#### 발명의 효과

앞에서 설명한 바와 같이, 본 발명의 반도체 장치 제조 방법에 따라, 고응점 (내열성) 금속 실리콘사이드 층이 반도체 기판상의 소정의 영역에 선택적으로 형성될 수 있다. 따라서, 반도체 기판이 가열되는 동안, 고응점 금속막이 형성되고 제 1 상 구조를 갖는 고응점 금속 실리콘사이드 층이 형성된다. 이 처리를 거쳐, 제 1 상 구조를 갖는 고응점 금속 실리콘사이드 층은 제 2 상 구조를 갖는 고응점 금속 실리콘사이드 층으로 변화되고 제 2 상 구조를 갖는 고응점 금속 실리콘사이드 층은 제 3 상 구조를 갖는 고응점 금속 실리콘사이드 층으로 변화된다. 이 경우에, 다공성 실리콘막으로 이루어진 배리어막은 고응점 금속 실리콘사이드 층과 상층한 고응점 금속막 사이에서 형성된다.

나열, 반도체 기판이 가열되는 동안, 고응점 금속이 반도체 기판 표면에 증착된다. 동시에, 증착된 고응점 금속은 이 반응을 통해 제 1 상 구조를 갖는 고응점 금속 실리콘사이드 층으로 변화된다. 이 경우에, 고응점 금속막의 막 형성 속도는 제 1 상 구조를 갖는 고응점 금속 실리콘사이드 층이 형성되는 상 전이 속도보다 작게 선택된다. 그 후, 열 처리가 수행되어 제 1 상 구조를 갖는 상층한 고응점 금속 실리콘사이드 층은 제 2 상 구조 또는 제 3 상 구조를 갖는 고응점 금속 실리콘사이드 층으로 변화된다. 따라서, 제 3 상 구조를 갖는 고응점 금속 실리콘사이드 층은 더욱 더 선택될 수 있다.

1S 트랜지스터에서 소오스 및 드레인 확산층 또는 게이트 전극의 저항은 크게 감소한다. 또한, 최종 코막트 실리콘사이드 층의 저항값은 페이스트의 존재를 갖지 않아서 MOS 트랜지스터 또는 반도체 장치의 설계에 매우 용이하게 수행되게 한다.

또, 고응점 금속막은  $\text{Co}_2\text{Si}$  막으로 이루어진 제 1 상 구조를 갖는 고응점 금속 실리콘사이드 층으로 상 전이하게 된다. 이 때문에,  $\text{CoSi}_2$  막으로 이루어진 최종 제 3 상 구조를 갖는 최종 고응점 금속 실리콘사이드 층의 막 두께는 고응점 금속막의 막 형성 환경에서 고응점 금속막의 막 두께 그대로 의결한다. 따라서, 고응점 금속 실리콘사이드 층의 막 두께 제어가 매우 용이해진다. 또한, 반도체 정 또는 반도체 웨이퍼의 MOS 트랜지스터에서 게이트 전극과 소오스 및 드레인 확산층의 시미드 저항값의 차이가 용이하게 감소될 수 있다.

발명에 따라, 실리콘사이드 층의 형성 공정이 단순화되고 안정되어 제조 비용의 감소에 가져온다. 실리콘사이드층 형성의 크기가 0.1  $\mu\text{m}$  정도 이하로 매우 작아진다 하더라도, 고응점의 실리콘사이드 층이 형성될 수 있다. 결과적으로, 반도체 장치의 고집적화, 고속 처리 및 고기가성화될 수 있다.

#### 1) 경우의 범위

##### 구상 1.

1 상 구조를 갖는 내열성 금속 실리콘사이드 층을 형성하는 단계, 및

기 제 1 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층을 제 2 상 구조를 갖는 내열성 금속 실리콘사이드 층으로 변화시키는 열 처리를 수행하는 것을 특징으로 하는 반도체 장치 제조 방법.

##### 구상 2.

1 항에 있어서, 상기 제 1 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층을 형성하는 단계는 반도체 기판이 가열되는 상태에서, 내열성 금속 증착 작업을 수행하는 동안 상기 제 1 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

##### 구상 3.

2 항에 있어서, 상기 내열성 금속의 증착 속도는 상기 내열성 금속이 내열성 금속 실리콘사이드로의 상 전이 속도보다 작은 것을 특징으로 하는 반도체 장치 제조 방법.

##### 구상 4.

3 항에 있어서, 상기 내열성 금속의 상기 증착 속도는 0.05 nm/sec로부터 0.3 nm/sec의 범위 내에 있는 것을 특징으로 하는 반도체 장치 제조 방법.

##### 구상 5.

1 항에 있어서, 상기 제 1 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층을 형성하는 단계는

증 상태에서 내열성 금속막을 증착하는 단계, 및

기 내열성 금속막을 상기 제 1 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층으로 변화시키도록 전구 상태에서 반도체 기판을 가열하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

##### 구상 6.

1 항 내지 제 5 항 중 어느 한 항에 있어서, 상기 제 1 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층을 형성하는 단계는

도제 기판의 실리콘 함유 층상에 배리어막을 형성하는 단계로서, 상기 배리어막은 내열성 금속의 원자가 상기 배리어막을 통과하도록 하고 상기 실리콘 함유 층의 실리콘 원자가 상기 배리어막을 통과하지 못하도록 작용하는 배리어막 형성 단계, 및

기 배리어막상에 증착된 상기 내열성 금속의 상기 원자 및 상기 실리콘 함유 층의 상기 실리콘 원자로부터 상기 제 1 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층을 형성하도록 상기 반도체 기판을 가열하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

## 구항 7.

6 항에 있어서, 상기 배리어막은 다공성 실리콘 산화막인 것을 특징으로 하는 반도체 장치 제조 방법.

## 구항 8.

6 항에 있어서, 상기 내열성 금속은 상기 반도체 기판이 400 내지 500 °C 범위의 온도로 가열되는 동안 상기 배리어막상에 증착되는 것을 특징으로 하는 반도체 장치 제조 방법.

## 구항 9.

1 항 내지 제 5 항중 어느 한 항에 있어서, 내열성 금속의 실리콘사이드와 되지 않은 부분을 제거하기 위해 반도체 기판을 세정하는 단계도 더 갖는 것을 특징으로 하는 반도체 장치 제조 방법.

## 구항 10.

9 항에 있어서, 상기 세정 단계는 내열성 금속의 실리콘사이드와 되지 않은 부분을 제거하기 위해 황산 용액 및 과산화수소 용액의 혼합 용액으로 상기 반도체 기판을 세정하는 단계도 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

## 구항 11.

1 항 내지 제 5 항중 어느 한 항에 있어서, 상기 열 처리를 수행하는 단계는 상기 제 1 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층이 제 구조를 갖는 내열성 금속 실리콘사이드 층으로 변화되고, 그후 상기 제 3 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층은 상기 제 2 상 구조를 갖는 내열성 금속 실리콘사이드 층으로 변화되도록 열 처리를 수행하는 단계도 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

## 구항 12.

11 항에 있어서, 상기 내열성 금속은 코발트 및 니켈중 하나인 것을 특징으로 하는 반도체 장치 제조 방법.

## 구항 13.

11 항에 있어서, 상기 제 1 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층은  $\text{Co}_2\text{Si}$  막이고, 상기 제 3 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층은  $\text{CoSi}$  막이며, 상기 제 2 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층은  $\text{CoSi}_2$  막인 것을 특징으로 하는 반도체 장치 제조 방법.

## 구항 14.

13 항에 있어서, 상기 제 2 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층으로서 상기  $\text{CoSi}_2$  막이 에피택셜 성장되는 것을 특징으로 하는 반도체 장치 제조 방법.

## 구항 15.

도체 기판이 가열되는 상태에서 내열성 금속을 증착하는 단계.

다 작업을 수행하는 동안 상기 제 1 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층을 형성하는 단계.

기 제 1 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층이 소정의 막 두께를 갖도록 증착되는 상기 내열성 금속의 양을 제어하는 단계, 및

기 제 1 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층을 제 2 상 구조를 갖는 내열성 금속 실리콘사이드 층으로 변화시키는 열 처리를 수행하는 단계도 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

## 구항 16.

15 항에 있어서, 상기 내열성 금속의 증착 속도는 상기 내열성 금속이 내열성 금속 실리콘사이드로의 상 전이 속도보다 작은 것을 특징으로 하는 반도체 장치 제조 방법.

## 구항 17.

16 항에 있어서, 상기 내열성 금속의 상기 증착 속도는 0.05 nm/sec 내지 0.3 nm/sec 의 범위내에 있는 것을 특징으로 하는 반도체 장치 제조 방법.

## 구항 18.

도체 기판의 실리콘 함유 층상에 배리어막을 형성하는 단계로서, 상기 배리어막은 내열성 금속의 원자가 상기 배리어막을 통과하도록 하고, 실리콘 함유 층의 실리콘 원자가 상기 배리어막을 통과하지 못하도록 작용하는, 배리어막 형성 단계.

기 배리어막상에 증착된 상기 내열성 금속의 상기 원자 및 상기 실리콘 함유 층의 상기 실리콘 원자로부터 상기 제 1 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층을 형성하도록 상기 반도체 기판을 가열하는 단계.

기 내열성 금속의 실리콘사이드와 되지 않은 부분을 제거하기 위해 상기 반도체 기판을 세정하는 단계, 및

기 제 1 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층을 제 2 상 구조를 갖는 내열성 금속 실리콘사이드 층으로 변화시키도록 열 처리를 수행하는 단계도 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

## 구항 19.

18 항에 있어서, 상기 열 처리를 수행하는 단계는,

기 제 1 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층이 제 3 상 구조를 갖는 내열성 금속 실리콘사이드 층으로 변화되고, 그후 상기 제 3 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층이 상기 제 2 상 구조를 갖는 내열성 금속 실리콘사이드 층으로 변화되도록 제 1 열 처리를 수행하는 단계도 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.



구항 20.

18 항에 있어서, 상기 내열성 금속은 피발트 및 니켈중 하나인 것을 특징으로 하는 반도체 장치 제조 방법.

구항 21.

18 항에 있어서, 상기 제 1 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층은  $\text{Co}_2\text{Si}$  막이고, 상기 제 3 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층은  $\text{CoSi}$  막이며, 상기 제 2 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층은  $\text{CoSi}_2$  막인 것을 특징으로 하는 반도체 장치 제조 방법.

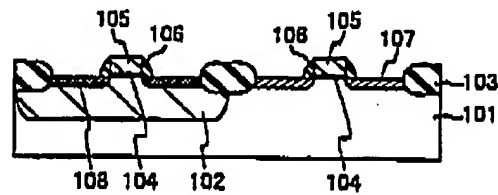
구항 22.

21 항에 있어서, 상기 제 2 상 구조를 갖는 상기 내열성 금속 실리콘사이드 층으로서 상기  $\text{CoSi}_2$  막이 에피택셜 성장되는 것을 특징으로 하는 반도체 장치 제조 방법.

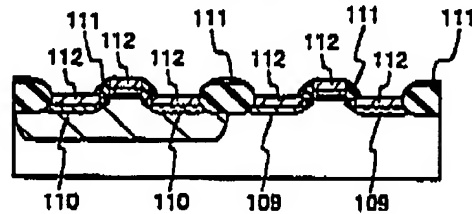
크

도면 1

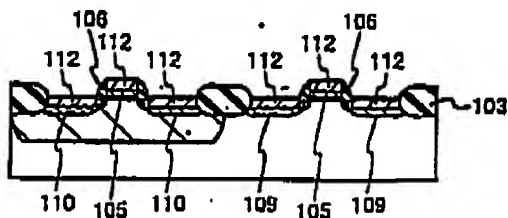
(a) 종래 기술



(b) 종래 기술

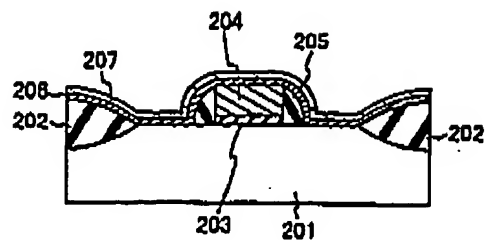


(c) 종래 기술

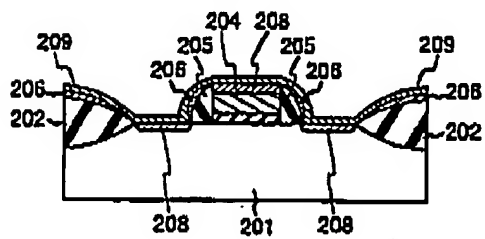


도면 2

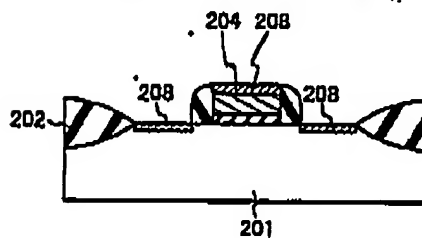
(a) 종래 기술



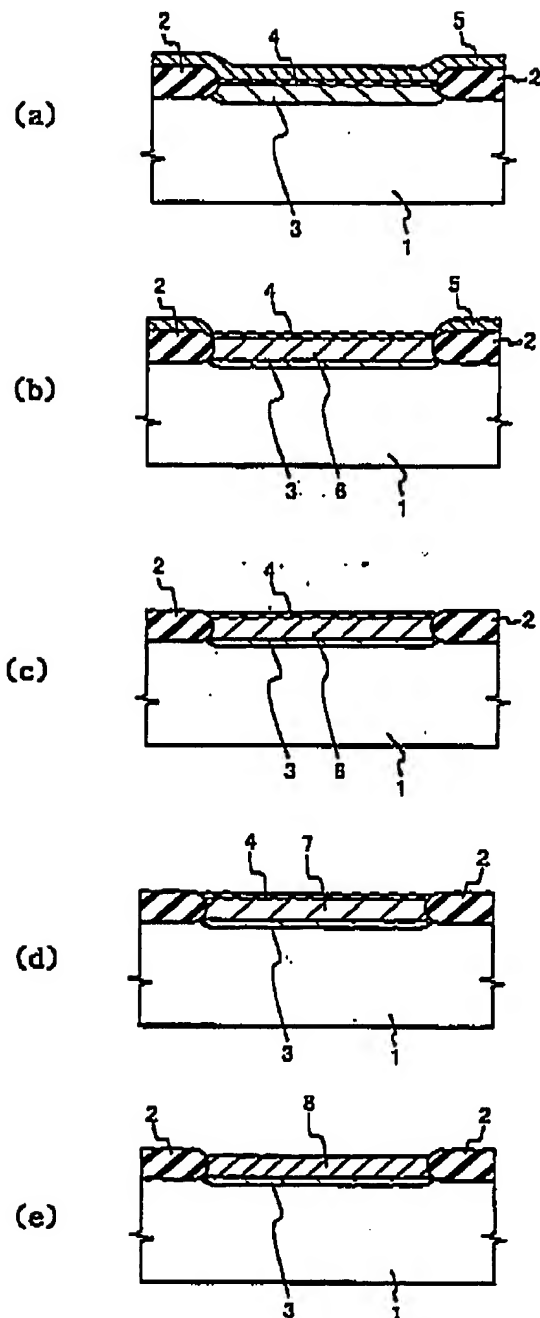
(b) 종래 기술



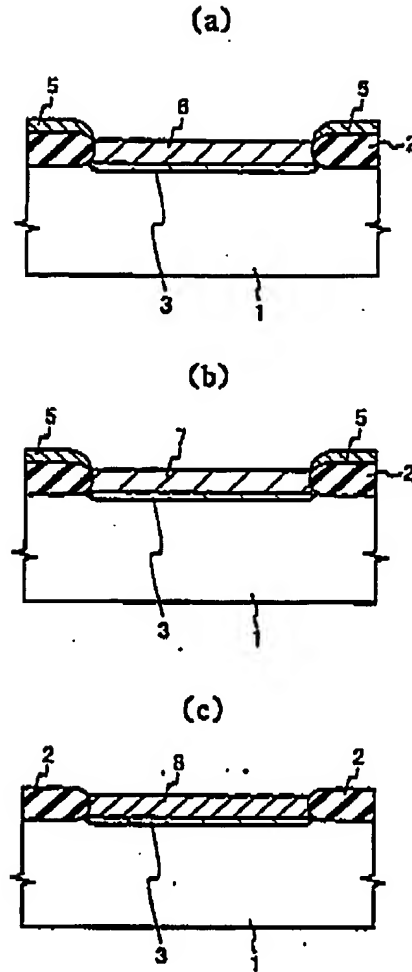
(c) 종래 기술



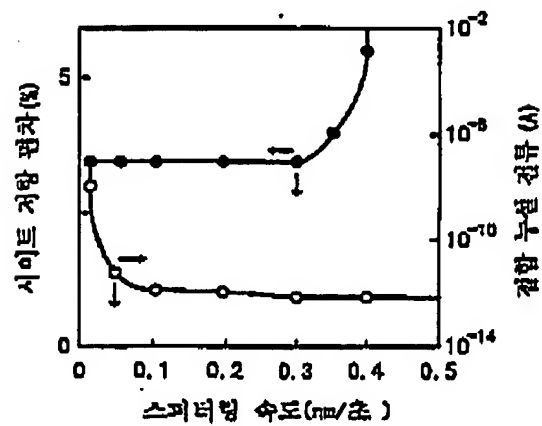
도면 3



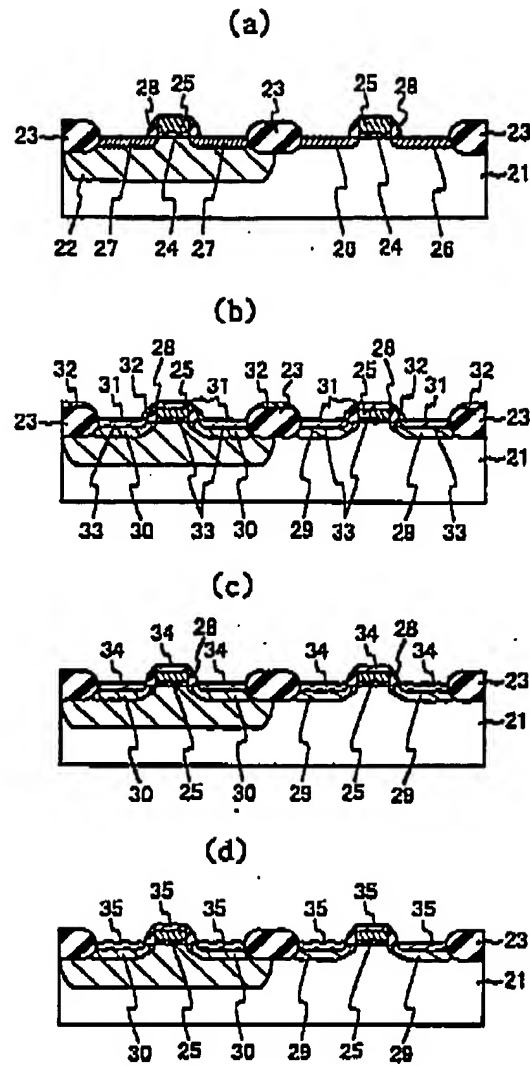
도면 4



도면 5

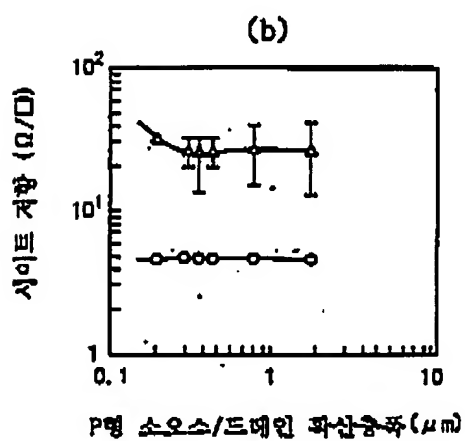
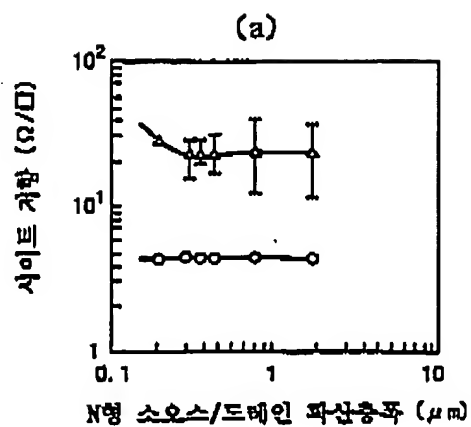


도면 6





도면 7



## ABSTRACT

PROBLEM TO BE SOLVED: To enable forming a microstructural silicide layer of high quality by forming a high melting point metal silicide layer of a first phase structure, while a semiconductor substrate is heated, eliminating a high melting point metal layer which has not yet reacted, and converting the metal silicide layer to a high melting point metal silicide layer of a second or a third phase structure by thermal treatment.

SOLUTION: A diffusion layer 3 is formed on an Si substrate 1, a barrier film 4 is formed, a cobalt film 5 is formed by sputtering at a high temperature, and a Co Si film is formed by turning a part of the diffusion layer 3 into silicide. A high melting point metal silicide layer (HMS) of a first phase structure constituted of the Co<sub>2</sub> Si film 6 is formed on the surface of the diffusion layer 3 by thermal treatment. The cobalt film 5 on an element isolating dielectric film 2 is eliminated by wet etching, and the Co<sub>2</sub> Si film 6 is subjected to phase transition by sintering in the nitrogen atmosphere and converted into an HMS of a second phase structure constituted of a CoSi film. Then the CoSi film is again subjected to phase transition by sintering and converted into an HMS of a third phase structure constituted of a CoSi<sub>2</sub> film.